

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 10 月 09 日
Application Date

申請案號：091123324
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2002 年 11 月 19 日
Issue Date

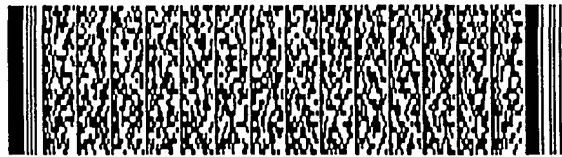
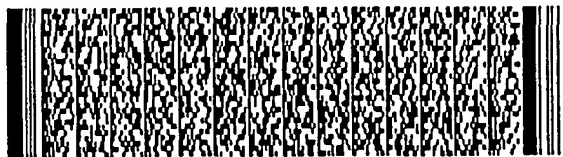
發文字號：09111022370
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	用於偵測具有垂直式電晶體之動態隨機存取記憶體之閘極結構與深溝電容器之重疊偏移的測試元件及測試方法
	英 文	Test key of detecting whether the overlay of gate structure and deep trench capacitor of DRAM with vertical transistors is normal and test method of the same
二、 發明人	姓 名 (中文)	1. 吳鐵將 2. 黃建章 3. 姜伯青 4. 丁裕偉
	姓 名 (英文)	1. Tie-Jiang Wu 2. Chien-Chang Huang 3. Bo-Ching Jiang 4. Yu-Wei Ting
	國 籍	1. 中華民國 2. 中華民國 3. 中華民國 4. 中華民國
	住、居所	1. 宜蘭縣三星鄉萬德村93-7號 2. 台北縣板橋市國泰里14鄰實踐路93巷59號3樓之1 3. 花蓮縣吉安鄉東海五街35號 4. 台北市內湖區文德路66巷69弄14號2樓
三、 申請人	姓 名 (名稱) (中文)	1. 南亞科技股份有限公司
	姓 名 (名稱) (英文)	1. Nanya Technology Corporation.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 桃園縣龜山鄉華亞科技園區復興三路669號
	代表人 姓 名 (中文)	1. 連日昌
	代表人 姓 名 (英文)	1. Jih-Chang Lien

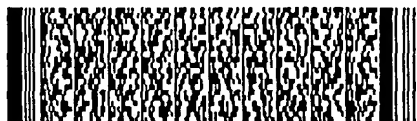


申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人	姓 名 (中文)	5. 黃慶玲
	姓 名 (英文)	5. Chin-Ling Huang
	國 籍	5. 中華民國
	住、居所	5. 台北縣樹林市中華路281號6-5樓
三、 申請人	姓 名 (名稱) (中文)	
	姓 名 (名稱) (英文)	
	國 籍	
	住、居所 (事務所)	
	代表人 姓 名 (中文)	
	代表人 姓 名 (英文)	

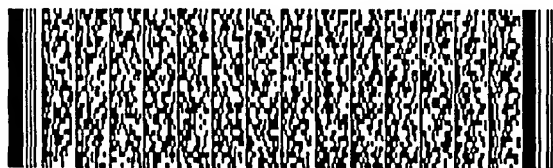
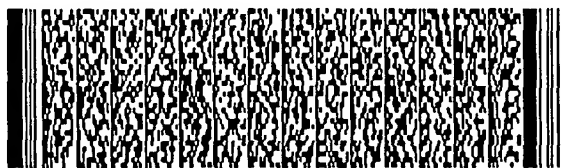


四、中文發明摘要 (發明之名稱：用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試元件及測試方法)

一種用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊是否產生偏移的測試元件，係設置於一晶圓之切割道中。上述測試元件包括一主動區，設置於切割道中；一H型深溝電容區，設置於主動區中，具有兩個第一部分及一第二部分，其中兩個第一部分相互平行，並且各具有一中心位置，第二部分係連接兩個第一部分之中心位置；一第一至第四接觸墊，分別設置於兩個第一部分之兩端上；以及一長條型接觸墊，設置於兩個第一部分之間，且具有一中心位置與第二部分之中心位置相連接。

英文發明摘要 (發明之名稱：Test key of detecting whether the overlay of gate structure and deep trench capacitor of DRAM with vertical transistors is normal and test method of the same)

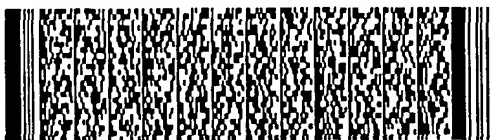
Test key of detecting whether the overlay of gate structure and deep trench capacitor of DRAM with vertical transistors is normal and test method of the same. In the test key of the present invention, a H-type deep trench capacitor is deposited in a scribe line area, and has two first portions and a second portion. The two first portions are parallel and the each first portion has a center position, and the second portion connects with the two center positions of



四、中文發明摘要 (發明之名稱：用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試元件及測試方法)

英文發明摘要 (發明之名稱：Test key of detecting whether the overlay of gate structure and deep trench capacitor of DRAM with vertical transistors is normal and test method of the same)

the two first portions. A bar plug is deposited between the two first portions, and has a center position connects with the center position of the second portion. A first to a fourth plugs are deposited above two ends of the first portion and the second portion respectively.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

【發明領域】

本發明係有關於一種測試元件 (test key) , 特別是有關於一種偵測具有垂直式電晶體(vertical transistor)之動態隨機存取記憶體(DRAM)的閘極結構與深溝電容器 (deep trench capacitor) 之誤對準 (misalignment) 的測試元件。

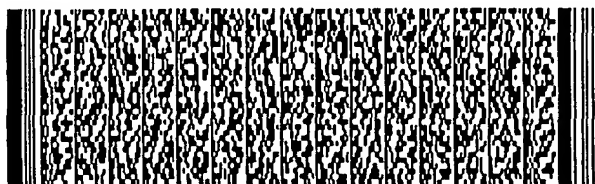
【習知技術】

隨著積體電路被廣泛地運用, 為因應不同使用目的, 更高效能與更低廉價格之各類半導體元件相繼產出, 其中, DRAM在現今資訊電子業中更有著不可或缺的地位。

現今大多數的DRAM單元是由一個電晶體與一個電容器所構成。由於目前DRAM之記憶容量已達到64百萬位甚至256百萬位元以上, 在元件積集度要求越來越高的情況下, 記憶單元與電晶體的尺寸需要大幅縮小, 才可能製造出記憶容量更高, 處理速度更快的DRAM。利用立體化電容器的製程技術, 可以大量地減少電容器於半導體基底上所佔佈之面積, 因此立體化電容器開始被運用於DRAM的製程上, 例如溝槽型電容器, 便被廣泛地運用在記憶容量為64百萬位元以上的DRAM。

相對於傳統水平式電晶體佔佈半導體表面相當的面積, 無法滿足目前高度積集化的需求, 因此可大幅改善習知的半導體記憶單元缺點且較為節省空間之垂直式電晶體, 將成為目前及未來製造半導體記憶單元的主要潮流。

如第1圖所示係為習知具有垂直式電晶體之DRAM的佈



五、發明說明 (2)

局圖，且第2圖係為第1圖之具有垂直式電晶體之DRAM的視圖。然而，當字元線(即電晶體104之閘極)的光罩與溝槽電容器的光罩未對準時，如此將會使得相鄰的記憶胞產生漏電流，或者是記憶胞無效，因而造成製程良率的下降。

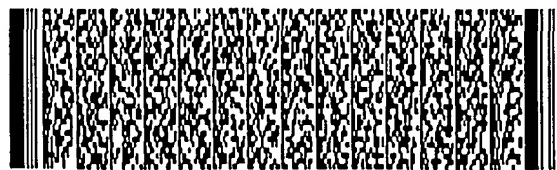
因此，若能控制閘極(字元線)結構的光罩與溝槽電容器的光罩之對準誤差在可允許的範圍內，則可提高記憶胞的可靠度及製程之良率。

【發明之目的及概要】

有鑑於此，本發明之首要目的，在於提供一種可偵測具有垂直式電晶體之DRAM的閘極結構與深溝電容器之重疊是否產生偏移的測試方法。

此外，本發明的另一目的，在於提供一種可偵測具有垂直式電晶體之DRAM的閘極結構與深溝電容器之重疊是否產生偏移的測試元件。

根據上述目的，本發明係提供之一種用於偵測具有垂直式電晶體之DRAM的閘極結構與深溝電容器之重疊是否產生偏移的測試元件，係設置於一晶圓之切割道中。上述測試元件包括一主動區，設置於切割道中；一H型深溝電容區，設置於主動區中，具有兩個第一部分及一第二部分，其中兩個第一部分相互平行，並且各具有一中心位置，第二部分係連接兩個第一部分之中心位置；一第一至第四接觸墊，分別設置於兩個第一部分之兩端上；以及一長條型接觸墊，設置於兩個第一部分之間，且具有一中心位置與



五、發明說明 (3)

第二部分之中心位置相連接。

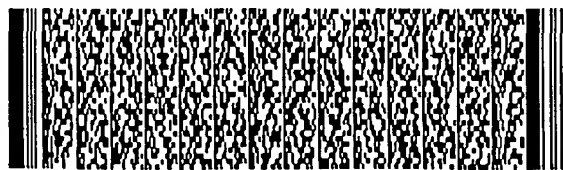
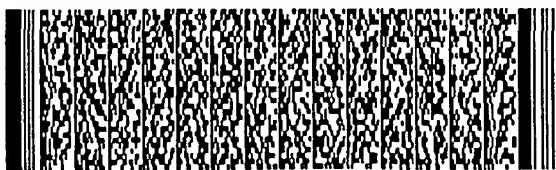
根據上述目的，本發明更提供一種偵測具有垂直式電晶體之DRAM的閘極結構與深溝電容器之重疊偏移的方法，包括提供一晶圓，上述晶圓至少具有一切割道和一記憶胞區。接著，於晶圓之切割道形成一測試元件，並同時於晶圓之記憶胞區，形成複數具有垂直式電晶體之記憶胞。然後，量測第一接觸墊與長條型接觸墊間之一第一電阻值，以及量測第二接觸墊與長條型接觸墊間之一第二電阻值。再根據第一與第二電阻值，估算測試元件之矩形長條型接觸墊與H型溝槽電容區的重疊偏移程度。最後，藉由測試元件之矩形長條型接觸墊與H型溝槽電容區的重疊偏移程度，估算記憶胞區之記憶胞中之閘結構與溝槽電容器的重疊偏移程度。

【發明的詳細說明】

請參照第3圖，用以說明本發明之一實施例。第3圖係為本發明中用以偵測一具有垂直式電晶體之DRAM的閘極結構與深溝電容器之重疊(overlap)是否偏移(misalignment)的測試元件的佈局圖，其中測試元件200係設置於一晶圓之切割道中。

本發明係於晶圓之記憶胞區形成複數記憶胞之同時，於晶圓之切割道區域形成測試元件200，其中測試元件200之佈局如第3a圖所示，且於記憶胞區形成之複數記憶胞的結構如第1圖中所示。

如第1圖所示，深溝槽電容器102以規則之矩陣排列方



五、發明說明 (4)

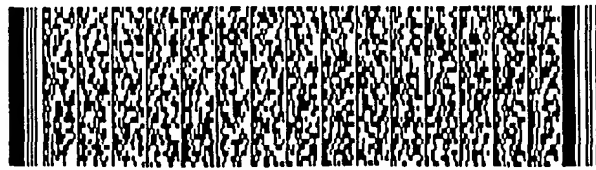
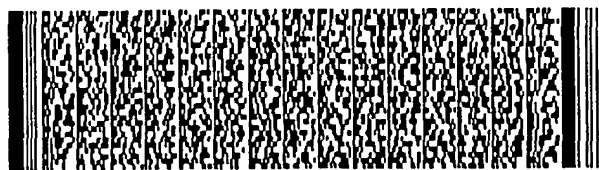
式設於基底100中，其中深溝槽電容器102包括上電極102a、絕緣膜層102b和儲存電極102c。每一個深溝槽電容器102的上方均配置有一垂直型電晶體104，此垂直型電晶體104包括閘極104a、閘極絕緣層104b、源極104c和共用汲極104d，其中閘極絕緣層104b係位於閘極104a的較低部份之側壁，而源極104c和共用汲極104d之間之基底100的垂直區域即為通道區。

另外，在閘極104a和電容器102的上電極102a之間設有絕緣層108和離子摻雜層106，其中離子摻雜層106的側壁即為源極104c，而絕緣層108位於閘極104a和離子摻雜層106之間做電性隔離。

如第2圖中所示，字元線118a、118b、118c和118d於主動區112做為電晶體104的閘極104a。此外，相鄰兩行之字元線118a和118b，或者118c和118d，於主動區112有共用汲極104d，而此主動區112的外側則為淺溝槽隔離區110。再藉由垂直於字元線118a、118b、118c和118d的位元線116a和116b透過接觸窗114與共用汲極104d做電性連接。

本發明，係於定義記憶胞區之主動區112之同時，於晶圓之切割道區域上，定義出一主動區 A_1 。

接著，在形成記憶胞區之複數記憶胞的溝槽電容器之同時，使用同一光罩，於主動區 A_1 上形成一H型深溝電容區。H型深溝電容區(D_{11} 、 D_{12} 、 D_{21})，具有兩個第一部分 D_{11} 、 D_{12} 及一第二部分 D_{21} ，其中兩個第一部分 D_{11} 、 D_{12} 相互平行，並且各具有一中心位置，而第二部分 D_{21} 係連接兩個



五、發明說明 (5)

第一部分 D_{11} 、 D_{12} 之中心位置。

接著，在形成記憶胞區之複數記憶胞的字元線(即電晶體之閘極)之同時，使用同一光罩，分別於兩個第一部分 D_{11} 、 D_{12} 之兩端上，形成一第一至第四接觸墊 $P_1 \sim P_4$ ，以及於兩個第一部分 D_{11} 、 D_{12} 之間，設置一長條型接觸墊 P_{51} ，長條型接觸墊 P_{51} 具有一中心位置與第二部分 D_{21} 之中心位置相連接。

其中第一至第四接觸墊 $P_1 \sim P_4$ 與長條型接觸墊 P_{51} 係以相同材質所構成，舉例來說，係由複晶矽材料所構成，並且皆具有相同之寬度 W 。另外，長條型接觸墊 P_{51} 係平行於H型深溝電容區之第一部分 D_{11} 、 D_{12} ，且分別距離兩個第一部分 D_{11} 、 D_{12} 一既定距離 $L - \Delta L$ 、 $L + \Delta L$ 。

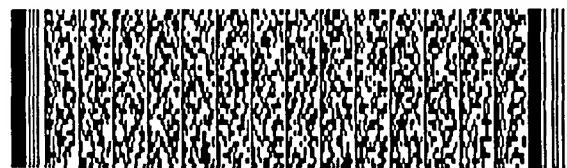
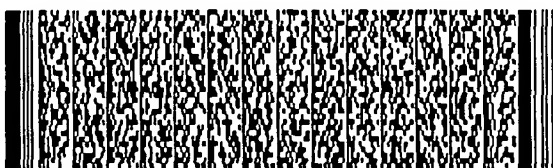
第3b圖，為本發明之測試元件之示意圖。一般來說，於第一接觸墊 P_1 及長條型接觸墊 P_{51} 之間，可以量測到一第一電阻值 R_1 ，而第二接觸墊 P_2 及長條型接觸墊 P_{51} 之間，可以量測得一第二電阻值 R_2 。或者是說，於第一接觸墊 P_1 及長條型接觸墊 P_{51} 之間，可以量測到一電阻值，作為第一電阻值 R_1 ，同時於第二接觸墊 P_2 及長條型接觸墊 P_{51} 之間，可以量測得電阻值，作為第二電阻值 R_2 。

上述第一電阻值 R_1 、第二電阻值 R_2 會符合於下列方程式一、方程式二

$$R_1 = R_{DT} * ((L - \Delta L) / W); \quad \text{式一}$$

$$R_2 = R_{DT} * ((L + \Delta L) / W); \quad \text{式二}$$

在此， R_{DT} 表示深溝電容區之片電阻值， W 表示深溝電



五、發明說明 (6)

容區之第一、第二部分 D_{11} 、 D_{12} 、 D_{21} 之寬度， $L - \Delta L$ 、 $L + \Delta L$ 分別表示深溝電容區之第一部分 D_{11} 、 D_{12} 與長條型接觸墊 P_{51} 之距離。

由於是在相同的製程條件、材料下，形成深溝電容區之第一、第二部分 D_{11} 、 D_{12} 、 D_{21} ，因此深溝電容區之第一、第二部分 D_{11} 、 D_{12} 、 D_{21} 之片電阻值會皆為 R_{DT} ，且寬度會皆為 W 。因此，可以得知方程式三、四

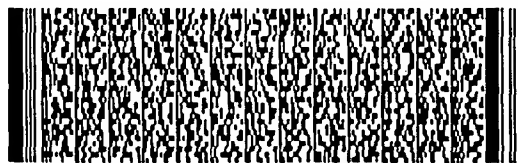
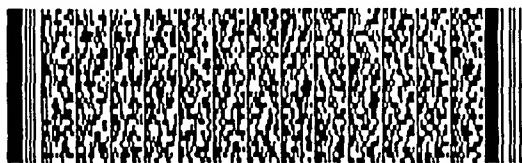
$$R_1 / R_2 = (L - \Delta L) / (L + \Delta L) \quad \text{式三}$$

$$\Delta L = L * (R_2 - R_1) / (R_1 + R_2) \quad \text{式四}$$

故只要測得第一、第二電阻值 R_1 、 R_2 ，即可得知長條型接觸墊 P_{51} 與深溝電容區之第一部分 D_{11} 、 D_{12} 之重疊偏移量 ΔL 。當第一電阻值 R_1 等於第二電阻值 R_2 時，表示長條型接觸墊 P_{51} 與深溝電容區之第一部分 D_{11} 、 D_{12} 之重疊並沒有產生偏移。

換句話說，若長條型接觸墊 P_{51} 之光罩往深溝電容區之第一部分 D_{11} 的方向偏移 ΔL 距離時，則第2圖中長條型接觸墊 P_{51} 之光罩往深溝電容區之第一部分 D_{11} 的方向偏移了 ΔL 的距離。由於電阻值係與導體長度成正反比，因此第一電阻值 R_1 會小於第二電阻值 R_2 ，且偏移量 ΔL 可藉由上述式四而求得。

若長條型接觸墊 P_{51} 之光罩往深溝電容區之第一部分 D_{12} 的方向偏移 ΔL 距離時，則第2圖中長條型接觸墊 P_{51} 之光罩往深溝電容區之第一部分 D_{12} 的方向偏移了 ΔL 的距離。由於電阻值係與導體長度成正反比，因此第一電阻值 R_1 會大



五、發明說明 (7)

於第二電阻值 R_2 ，且偏移量 ΔL 可藉由上述式四而求得。

因此，本發明可藉由量測上述測試元件中第一接觸墊 P_1 和長條型接觸墊 P_{51} 間之第一電阻值 R_1 ，以及第二接觸墊 P_2 和長條型接觸墊 P_{51} 間之第二電阻值 R_2 ，根據第一、第二電阻值 R_1 、 R_2 是否相同，來監控制程中位元線接點與主動區之重疊是否產生偏移。

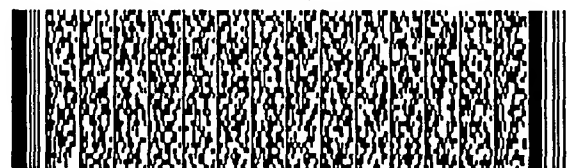
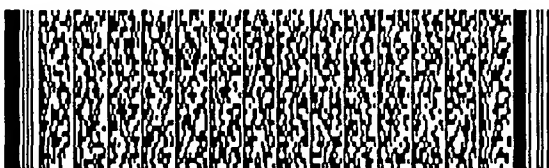
本發明提供之偵測位元線接點與主動區之重疊是否產生偏移的方法，包括下列步驟，首先提供一晶圓，該晶圓至少具有一切割道區和一記憶胞區。

接著，於該晶圓之該切割道中形成測試元件200，並同時於該晶圓之該記憶胞區形成複數記憶胞，其中該測試元件之構造如第3a圖所示，且該等記憶胞之結構如第2圖中所示，在此不再綴述。

接著，量測測試元件200中第一接觸墊 P_1 與長條型接觸墊 P_{51} 間之一第一電阻值 R_1 ，以及第二接觸墊 P_2 與長條型接觸墊 P_{51} 間之一第二電阻值 R_2 。

然後，根據第一、第二電阻值 R_1 、 R_2 是否相同，來估算測試元件上之長條型接觸墊 P_{51} 與H型深溝電容區之重疊是否偏移，若產生偏移，則依據上述式四，求得長條型接觸墊 P_{51} 與H型深溝電容區之偏移程度。最後，藉由測試元件上之長條型接觸墊 P_{51} 與H型深溝電容區的重疊偏移程度，估算晶圓之記憶胞區內複數記憶胞中之字元線(垂直電晶體之閘極)與溝槽電容器之重疊偏移程度。

由於當光罩偏移時，無論是記憶胞區之字元線或是切



五、發明說明 (8)

割道上的第一至第四接觸墊及長條型接觸墊均會產生一系列的偏移，因此，藉由切割道上的測試元件，可以反應出記憶胞區中的字元線(垂直式電晶體之閘極)與深溝電容器之間是否產生重疊偏移的狀況。

此外，本發明之測試元件與測試方法，將測試元件設置於切割道上，可以同步與記憶胞區進行相同製程，監控字元線(垂直式電晶體之閘極)與溝槽電容器之重疊是否有產生偏移，且避免佔據記憶胞區的空間。

雖然本發明已以較佳實施例揭露如上，然其並非用以限制本發明，任何熟習此項技藝者，在不脫離本發明之精神和範圍內，當可做更動與潤飾，因此本發明之保護範圍當事後附之申請專利範圍所界定者為準。



圖式簡單說明

為讓本發明之上述目的、特徵及優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖係為習知具有垂直式電晶體之DRAM的佈局圖。

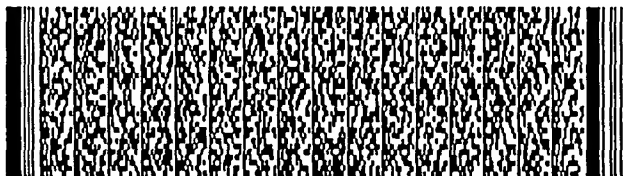
第2圖係為第1圖之具有垂直式電晶體之DRAM的上視圖。

第3a圖為本發明之偵測字元線結構與深溝電容器重疊是否產生偏移之測試元件的佈局圖。

第3b圖為本發明之測試元件的示意圖。

【符號說明】

- 100~基底；
- 102~深溝槽電容器；
- 102a~上電極；
- 102b~絕緣膜層；
- 102c~儲存電極；
- 104~垂直型電晶體；
- 104a~閘極；
- 104b~閘極絕緣層；
- 104c~源極；
- 104d~共用汲極；
- 108~絕緣層；
- 106~離子摻雜層；
- 118a、118b、118c、118d~字元線；
- 112~主動區；



圖式簡單說明

110~淺溝槽隔離區；

116a、116b~位元線；

114~接觸窗；

200~測試元件；

D_{11} 、 D_{12} ~H型深溝電容區之第一部分；

D_{21} ~H型深溝電容區之第二部分；

P_1 - P_4 ~第一~第四接觸墊；

P_{51} ~長條型接觸墊。



六、申請專利範圍

1. 一種用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試元件，係設置於一晶圓之切割道中，上述測試元件包括：

一主動區，設置於上述切割道中；

一H型深溝電容區，設置於上述主動區中，具有兩個第一部分及一第二部分，其中上述兩第一部分相互平行，並且各具有一中心位置，上述第二部分係連接上述兩第一部分之中心位置；

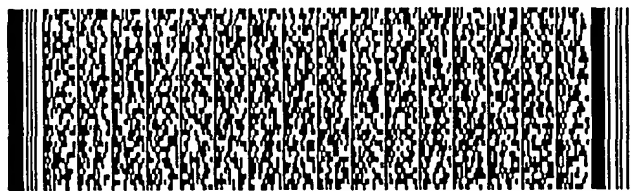
一第一至第四接觸墊，分別設置於上述兩第一部分之兩端上；以及

一長條型接觸墊，設置於上述兩第一部分之間，且具有一中心位置與上述第二部分之中心位置相連接。

2. 如申請專利範圍第1項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試元件，其中上述第一至第四接觸墊與上述長條型接觸墊皆為相同材質所構成。

3. 如申請專利範圍第1項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試元件，其中上述第一至第四接觸墊與上述長條型接觸墊皆由複晶矽材料所構成。

4. 如申請專利範圍第1項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試元件，其中上述長條型接觸墊係平行於上述H型深溝電容區之第一部分。



六、申請專利範圍

5. 一種用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的方法，包括下列步驟：

提供一晶圓，上述晶圓至少具有一切割道和一記憶胞區；

於上述晶圓之切割道形成一測試元件，並同時於該晶圓之該記憶胞區，形成複數具有垂直式電晶體之記憶胞，其中上述測試元件包括：

一主動區，設置於上述切割道中；

一H型深溝電容區，設置於上述主動區中，具有兩個第一部分及一第二部分，其中上述兩第一部分相互平行，並且各具有一中心位置，上述第二部分係連接上述兩第一部分之中心位置；

一第一至第四接觸墊，分別設置於上述兩第一部分之兩端上；以及

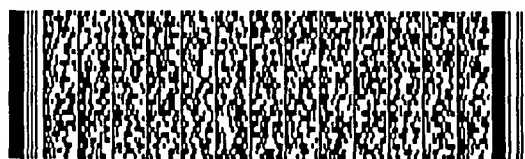
一長條型接觸墊，設置於上述兩第一部分之間，且具有一中心位置與上述第二部分之中心位置相連接；

量測上述第一接觸墊與上述長條型接觸墊間之一第一電阻值；

量測上述第二接觸墊與上述長條型接觸墊間之一第二電阻值；

根據上述第一與第二電阻值，估算上述測試元件之矩形長條型接觸墊與H型溝槽電容區的重疊偏移程度；以及

藉由上述測試元件之矩形長條型接觸墊與H型溝槽電



六、申請專利範圍

容區的重疊偏移程度，估算該記憶胞區之該等記憶胞中之閘結構與溝槽電容器的重疊偏移程度。

6. 如申請專利範圍第5項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試方法，其中上述長條型接觸墊係距離上述H型深溝電容區之第一部分一既定距離。

7. 如申請專利範圍第5項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試方法，更包括若產生偏移時，根據上述第一、第二電阻值、上述既定距離，計算出上述長條型接觸墊係距離上述H型深溝電容區之第一部分之一重疊偏移量(ΔL)。

8. 如申請專利範圍第7項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試方法，其中上述重疊偏移量係依照下列數學式而求得：

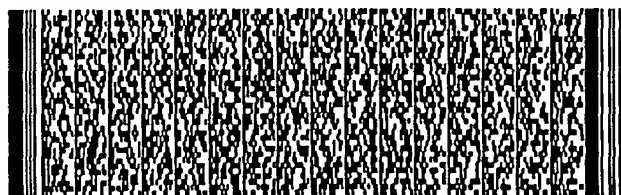
$$\Delta L = L * (R_1 - R_2) / (R_1 + R_2) ;$$

其中 R_1 表示該第一電阻值；

R_2 表示該第二電阻值；以及

L 表示上述長條型接觸墊與H型深溝電容區之第一部分之間的上述既定距離。

9. 如申請專利範圍第5項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試方法，其中上述第一至第四接觸墊與上述

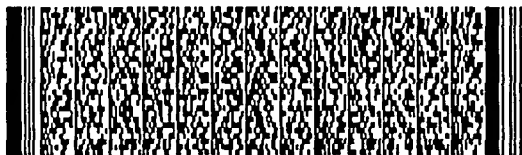


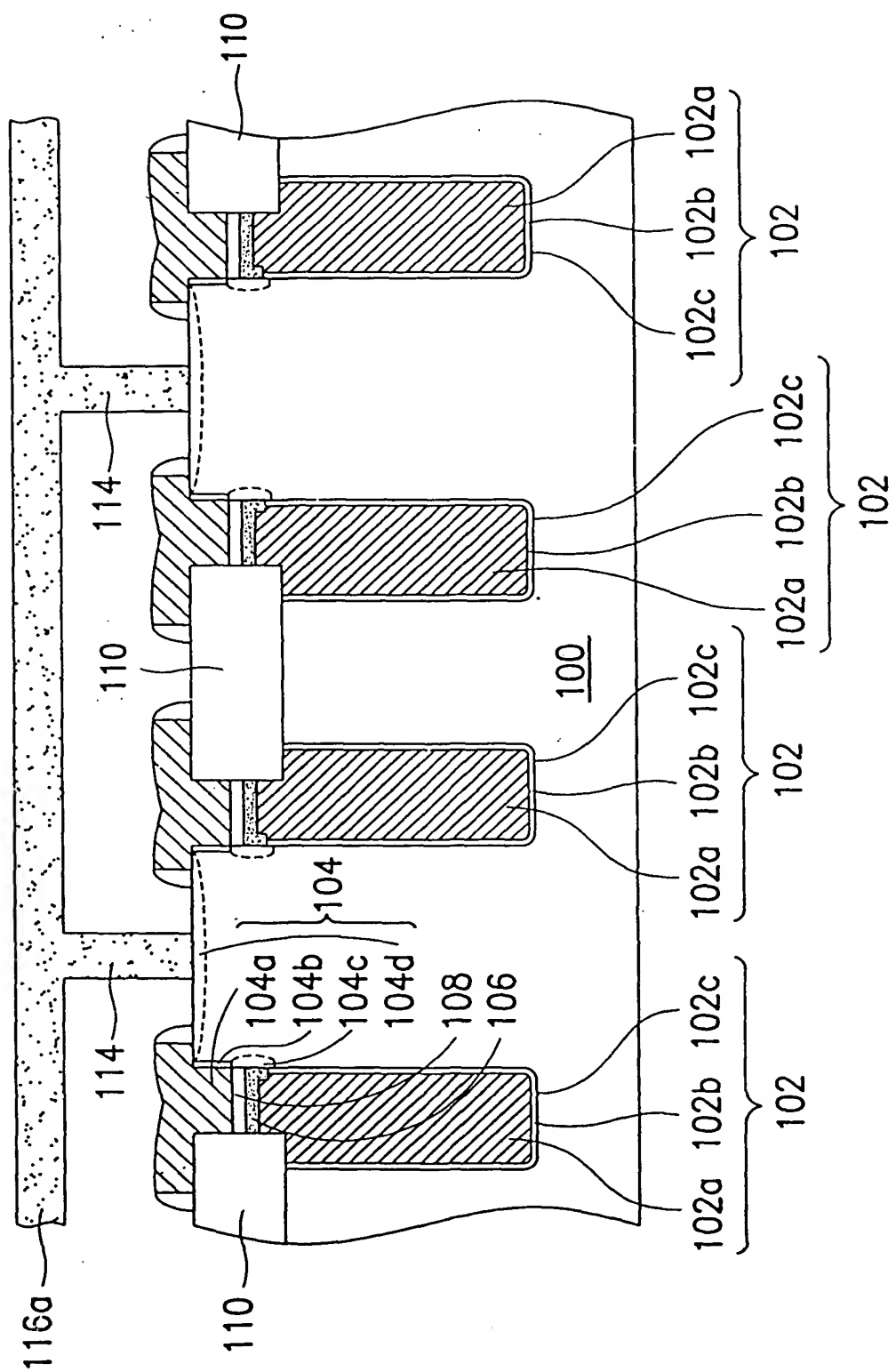
六、申請專利範圍

長條型接觸墊皆為相同材質所構成。

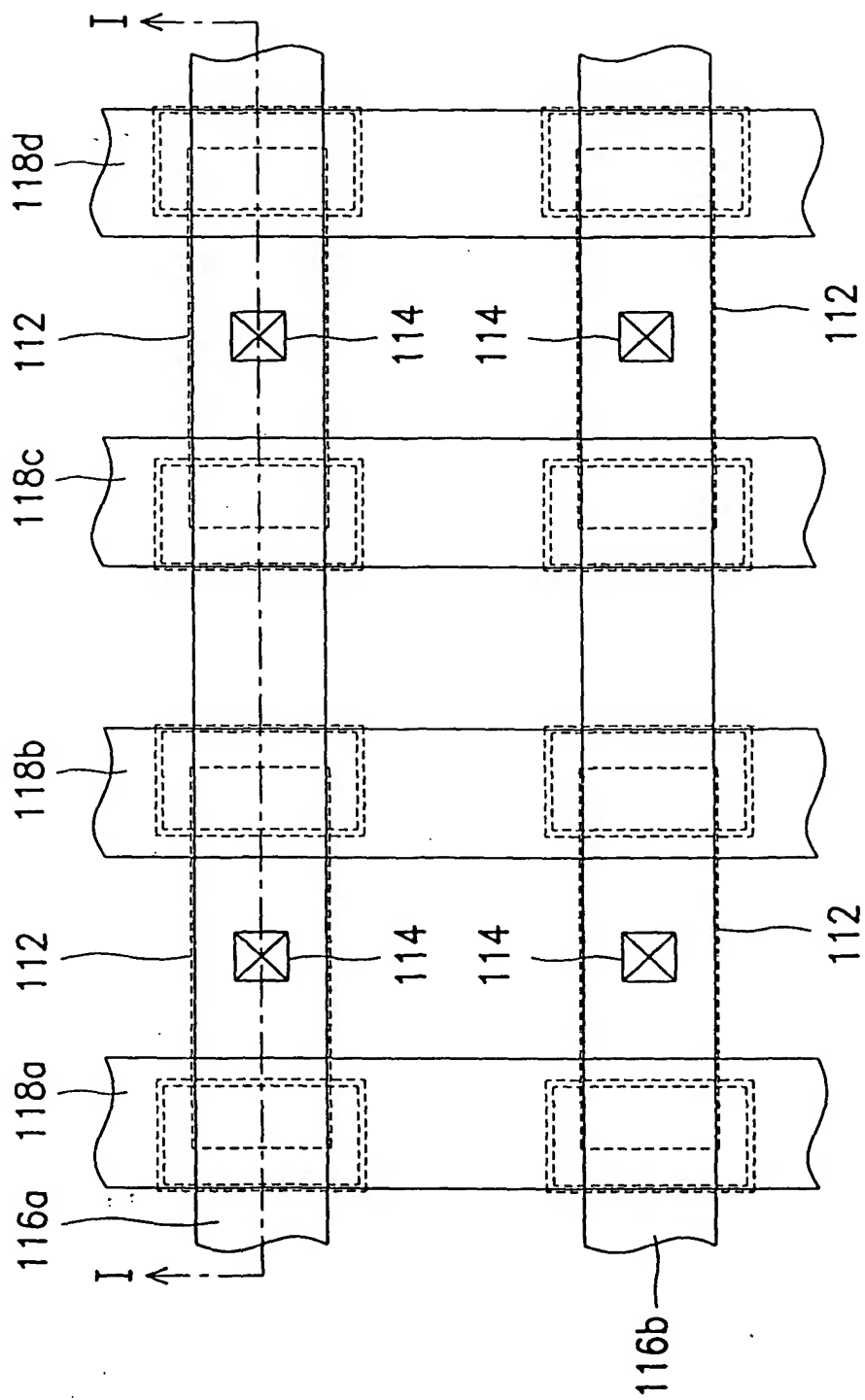
10. 如申請專利範圍第5項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試方法，其中上述第一至第四接觸墊與上述長條型接觸墊皆由複晶矽材料所構成。

11. 如申請專利範圍第5項所述之用於偵測具有垂直式電晶體之動態隨機存取記憶體的閘極結構與深溝電容器之重疊偏移的測試方法，其中上述長條型接觸墊係平行於上述H型深溝電容區之第一部分。

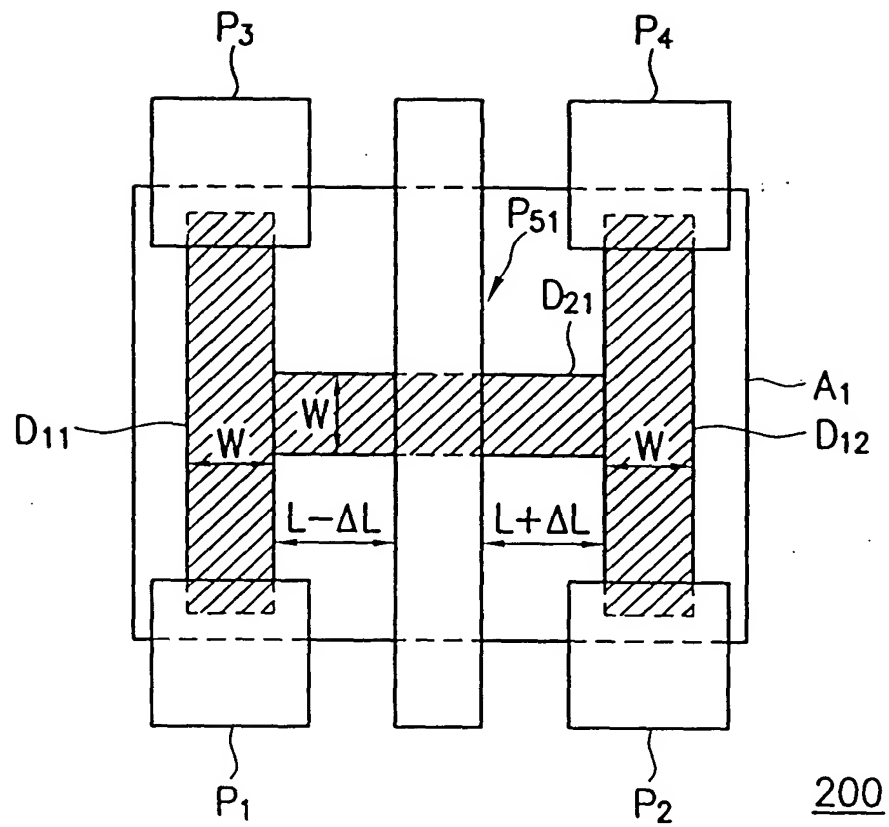




第 1 圖



第 2 圖



第3a圖



第3b圖

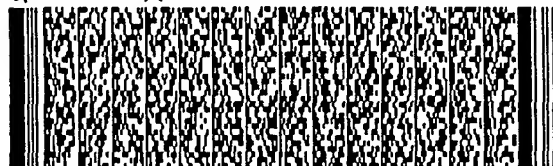
第 1/19 頁



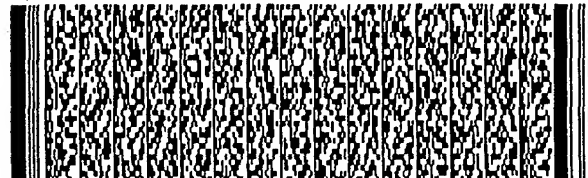
第 2/19 頁



第 3/19 頁



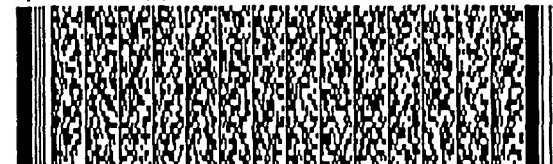
第 6/19 頁



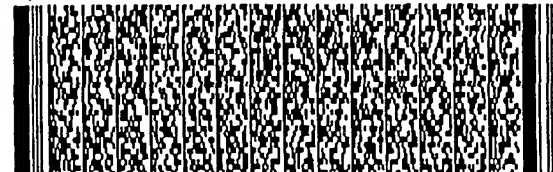
第 7/19 頁



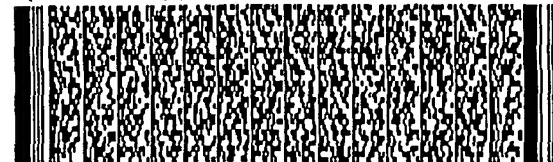
第 8/19 頁



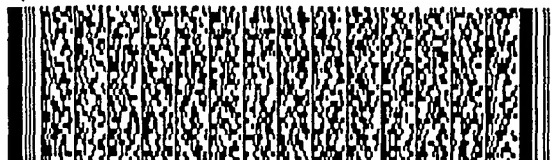
第 9/19 頁



第 10/19 頁



第 1/19 頁



第 3/19 頁



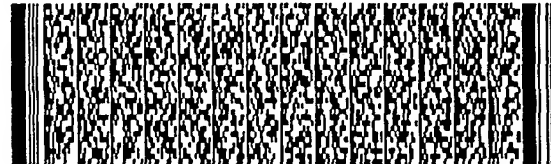
第 4/19 頁



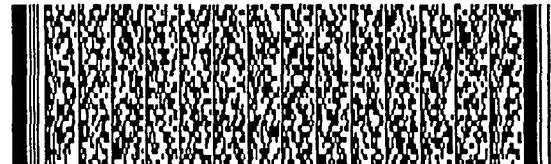
第 6/19 頁



第 7/19 頁



第 8/19 頁



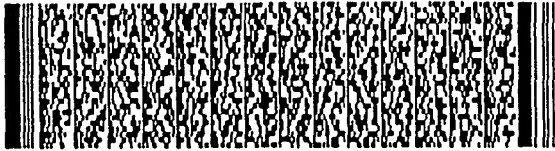
第 9/19 頁



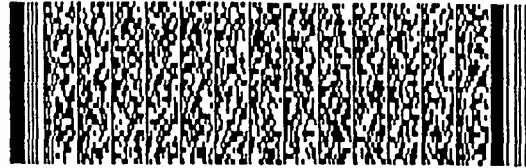
第 10/19 頁



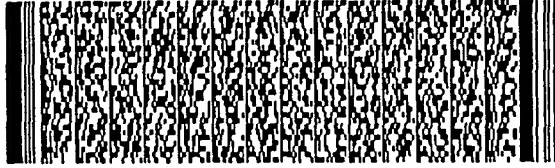
第 11/19 頁



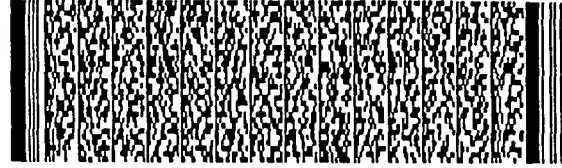
第 11/19 頁



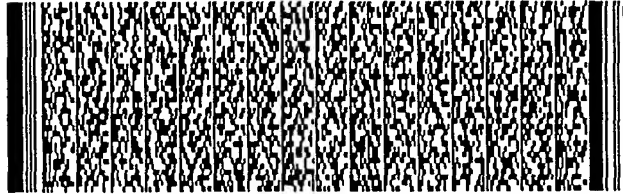
第 12/19 頁



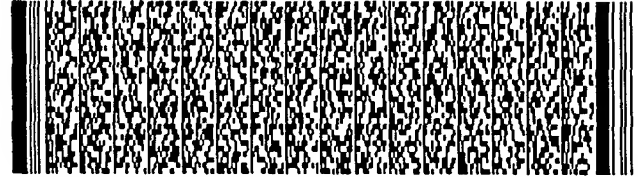
第 12/19 頁



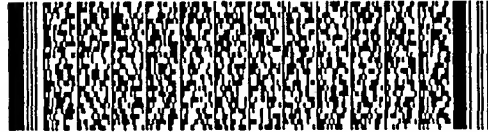
第 13/19 頁



第 14/19 頁



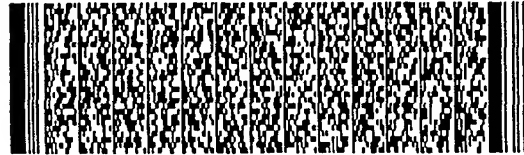
第 15/19 頁



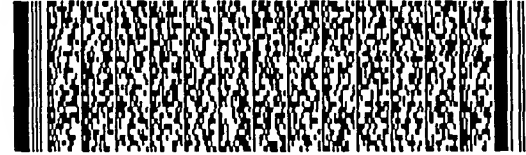
第 16/19 頁



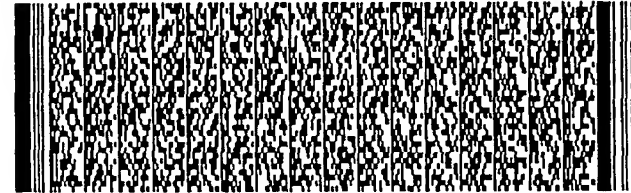
第 17/19 頁



第 17/19 頁



第 18/19 頁



第 19/19 頁

